

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0031

Applicant: Hee Bok KANG et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 30, 2003

Art Unit: Unassigned

Title: NONVOLATILE MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0086704 filed December 30, 2002

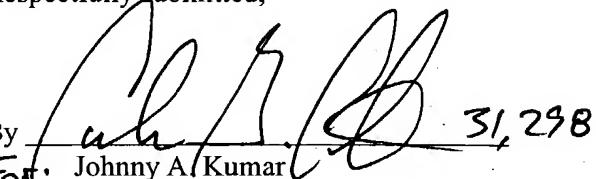
Date: July 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Respectfully submitted,

By Johnny A. Kumar
For:

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



31,298



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0086704
Application Number

출 원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

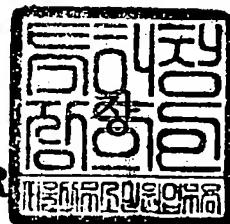
출 원 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2003 년 05 월 21 일



특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0118
【제출일자】	2002.12.30
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 메모리 장치
【발명의 영문명칭】	Non-volatile memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG,Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【발명자】	
【성명의 국문표기】	박영진
【성명의 영문표기】	PARK,Young Jin
【주민등록번호】	620128-1037737

【우편번호】

463-050

【주소】

경기도 성남시 분당구 서현동 시범 삼성아파트 131-804

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인

이후동 (인) 대리인

이정훈 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

11 면 11,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

35 항 1,229,000 원

【합계】

1,269,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 불휘발성 메모리 장치에 관한 것으로, 특히 저항 기억 소자를 이용하여 프로그래머블 불휘발성 로직 스위치 메모리(레지스터) 소자를 구현하는 기술을 개시한다.

이러한 본 발명은 전류값에 따라 저항 상태가 변화되는 불휘발성 저항 기억 소자를 이용한 로직 스위치 또는 불휘발성 저항 기억 소자를 이용한 프로그래머블 레지스터를 구현하여 소프트웨어적으로 리던던시 및 래퍼런스 레벨을 조정할 수 있게 된다.

【대표도】

도 4a

【명세서】**【발명의 명칭】**

불휘발성 메모리 장치{Non-volatile memory device}

【도면의 간단한 설명】

도 1은 종래의 휘발성 로직 스위치 소자에 관한 회로도.

도 2는 종래의 플립플롭 휘발성 기억 소자에 관한 회로도.

도 3a 내지 도 3d는 종래의 PCM 소차를 설명하기 위한 도면.

도 4a 및 도 4b는 본 발명에 따른 불휘발성 메모리 장치에 관한 회로도.

도 5 내지 도 9는 본 발명에 따른 불휘발성 메모리 장치의 다른 실시예들.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 불휘발성 메모리 장치에 관한 것으로, 특히 저항 기억 소자를 이용하여 프로그래머블 불휘발성 로직 스위치 메모리(레지스터) 소자를 구현하는 기술이다.

<7> 일반적으로 마그네틱 메모리(Magnetic memory) 및 위상 변화 메모리(Phase Change Memory : PCM) 등의 비휘발성 메모리는 휘발성 램(RAM; Random Access Memory) 정도의 데 이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성을 갖는다.

<8> 도 1과 같이 종래의 로직 스위치(Logice switch) 및 레지스터(Register) 소자들은 휘발성 특성을 갖기 때문에 전원이 꺼지게 될 경우 레지스터에 저장된 데이터가 보존되지 않는다.

<9> 따라서, 전원이 오프된 이후 다시 전원을 킬 경우 반드시 메모리 소자에 데이터를 다시 라이트해야 되는 문제점이 있다.

<10> 즉, 휘발성 로직 스위치 소자 SW1는 게이트 입력단 A에 인가되는 제어신호에 따라 노드 B의 신호를 노드 C에 출력하게 된다.

<11> 이러한 휘발성 로직 스위치 소자 SW1의 게이트 입력단 A에는 이전 상태의 데이터와 현 상태의 데이터를 저장하는 기억소자가 없기 때문에 전원이 오프될 경우 메모리 소자에 저장된 데이터가 보존되지 않는다.

<12> 도 2는 SRAM메모리 소자인 플립플롭 휘발성 기억 소자의 회로도를 나타낸다.

<13> 플립플롭 휘발성 기억소자는 PMOS트랜지스터 P1,P2 및 NMOS트랜지스터 N1,N2로 구성된 플립플롭부를 구비한다. 그리고, 플립플롭 휘발성 기억 소자는 워드라인 WL의 인에이블 상태에 따라 비트라인 BIT, /BIT으로부터 인가되는 데이터를 플립플롭부에 저장하는 NMOS트랜지스터 N3,N4를 구비한다.

<14> 종래의 플립플롭 휘발성 기억 소자는, 전원이 온 상태에 있을 때 스탠티(Static) 상태로 플립플롭부의 양단에 데이터를 저장할 수 있다. 하지만, 전원이 오프 상태로 되면 플립플롭 양단에 저장된 데이터는 소실된다.

<15> 이 외의 메모리 소자로써 메탈 메모리 소자 등이 있다. 이러한 종래의 메모리 소자는 메탈/폴리 실리콘 배선 등을 이용하여 리던던시를 수행하게 된다. 따라서, 리던던시의 수행시 레이저 커팅 등의 수단을 이용해야 하므로 커팅 동작을 잘못 처리한 경우에 는 원래의 상태로 다시 복구할 수 없게 되는 문제점이 있다.

<16> 한편, 이러한 종래의 메모리 소자의 문제점을 해결하기 위하여 다음과 같은 불휘발성 메모리 소자가 개시된 바 있다.

<17> 도 3a 내지 도 3d는 종래의 위상 변화 메모리(Phase Change Memory ; PCM) 소자를 나타낸 도면이다.

<18> 위상 변화 메모리 소자(4)는 탑(Top)전극(1)과 버텀(Buttom)전극(3) 사이에 위상 변화층(PCL;Phase Change Layer;2)을 삽입하여 전압과 전류를 인가하면, 위상 변화층(2)에 고온이 유기되어 위상 변화층(2)의 전기 전도 상태가 변하게 된다.

<19> 즉, 도 3c에서와 같이 위상 변화 메모리 소자(4)에 임계값 이하의 저전류가 흐르면 위상 변화층(2)이 결정화가 되기에 적당한 온도가 된다. 따라서, 위상 변화층(2)이 결정 상태가 되어 고저항 상태의 물질이 된다.

<20> 반면에, 도 3d에서와 같이 위상 변화 메모리 소자(4)에 임계값 이상의 고전류가 흐르면 위상 변화층(2)이 녹는 점(Melting point) 이상의 온도가 된다. 따라서, 위상 변화층(2)이 비결정 상태가 되어 저저항 상태의 물질이 된다.

<21> 이와 같이 위상 변화 메모리 소자(4)는 두 저항의 상태에 대응하는 데이터를 불휘발성으로 저장할 수 있게 된다.

<22> 하지만, 이러한 종래의 위상 변화 메모리 소자(4)는 셀 데이터의 레퍼런스 조정시 칩마다 레퍼런스 레벨의 조정이 불가능하기 때문에 칩의 신뢰성이 많이 저하될 수 있는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 저항 기억 소자를 이용한 프로그래머를 비휘발성 로직 스위치 메모리(래지스터) 소자를 구현하여 소프트웨어적으로 리던던시 및 레퍼런스를 조정하도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기한 목적을 달성하기 위한 본 발명의 불휘발성 메모리 장치는, 라이트 동작시 인에이블되는 라이트/리드 제어신호의 출력을 선택적으로 제어하는 라이트/리드 제어부와, 라이트/리드 제어신호의 인에이블시 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자와, 라이트/리드 제어신호의 디스에이블시 불휘발성 저항 기억 소자에 기저장된 서로 다른 로직값에 따라 스위칭 상태가 결정되는 로직 스위치를 구비함을 특징으로 한다.

<25> 라이트/리드 제어신호의 출력을 선택적으로 제어하는 라이트/리드 제어부와, 라이트/리드 제어신호의 인에이블시 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자 및 라이트/리드 제어신호의 디스에이블시 불휘발성 저항 기억 소자에 기저장된 서로 다른 로직값에 따라 스위칭 상태가 결정되는 로직 스위치를 구비함을 특징으로 한다.

<26> 본 발명의 다른 실시예는, PMOS 래치와 NMOS 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부와, PMOS 래치와 NMOS 래치 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자 및 웨드라인의 인에이블 상태에 따라 비트라인과 플립플롭부와의 연결을 제어하는 엑세스

조정부 및 라이트/리드 제어신호의 인에이블시 저항 기억 소자에 저장된 데이터를 변경

시키기 위한 전류를 제공하는 전류 공급부를 구비함을 특징으로 한다.

<27> 본 발명의 또 다른 실시예는, NMOS 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부와, 전원전압단과 플립플롭부 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자 및 워드라인의 인에이블 상태에 따라 비트라인과 플립플롭부와의 연결을 제어하는 엑세스 조정부를 구비함을 특징으로 한다.

<28> 본 발명의 또 다른 실시예는, NMOS 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부와, 워드라인의 인에이블 상태에 따라 비트라인과 플립플롭부와의 연결을 제어하는 엑세스 조정부 및 플립플롭부와 엑세스 조정부 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자를 구비함을 특징으로 한다.

<29> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<30> 도 4a는 불휘발성 로직 스위치로 사용되는 본 발명의 불휘발성 메모리 장치의 회로 도이다.

<31> 본 발명은 라이트/리드 제어부(20)와, 저항 기억소자 R1, 저항 기억소자 R2 및 로직 스위치 SW2를 구비한다.

<32> 라이트/리드 제어부(20)는 NMOS트랜지스터 N5의 게이트로 입력되는 라이트

제어신호 WRC2 및 PMOS트랜지스터 P3의 게이트로 입력되는 라이트 제어신호 WRC3의 상태에 따라 라이트/리드 제어 신호 WRC1를 선택적으로 출력한다. 여기서, 라이트 제어신호 WR2와, 라이트 제어신호 WRC3는 서로 위상이 반대인 신호이다.

<33> 저항 기억소자 R1은 노드 D와 라이트/리드 제어소자(20)의 출력단 사이에 연결되고, 저항 기억소자 R2는 노드 E와 라이트/리드 제어소자(20)의 출력단 사이에 연결된다. 저항 기억소자 R1,R2의 공통 연결 노드는 로직 스위치 SW2의 게이트에 연결된다.

<34> 이러한 구성을 갖는 본 발명의 라이트 동작 과정을 설명하면 다음과 같다.

<35> 먼저, 라이트/리드 제어부(20)에 입력되는 라이트 제어신호 WRC2가 하이일 경우 NMOS트랜지스터 N5가 턴온되고, 라이트 제어신호 WRC3가 로우일 경우 PMOS트랜지스터 P3이 턴온되어 라이트/리드 제어신호 WRC1가 출력된다.

<36> 그리고, 노드 D와 라이트/리드 제어부(20)의 출력단 사이에 전류를 인가하여 저항 기억소자 R1에 데이터를 라이트 한다. 또한, 노드 E와 라이트/리드 제어부(20)의 출력단 사이에 전류를 인가하여 저항 기억소자 R2에 데이터를 라이트 한다.

<37> 도 4a의 불휘발성 메모리 장치에서 저항 기억소자 R1 및 저항 기억소자 R2는 도 4b와 같은 심볼로 표현될 수 있다.

<38> 라이트 제어신호 WRC2가 로우, 라이트 제어신호 WRC3가 하이인 상태에서는 라이트/리드 제어부(20)의 NMOS트랜지스터 N5, PMOS트랜지스터 P3가 모두 턴오프된다. 여기서, 저항 기억소자 R1이 저저항 상태이고 저항 기억소자 R2가 고저항 상태일 경우, 입력 노드 D, E를 통해 입력되는 입력신호의 상태에 따라 로직 스위치 SW2의 상태가 결정된다.

<39> [표 1]은 저항 기억소자 R1에 로우 데이터가 저장되고, 저항 기억소자 R2에 하이 데이터가 저장되어 있을 경우 입력신호에 따른 로직 스위치 SW2의 동작 상태를 나타낸다

<40> [표 1]

<41>	D	E	R1	R2	SW2
L	L	L	H	OFF	
H	L	L	H	ON	
L	H	L	H	OFF	
H	H	L	H	ON	

<42> 즉, 노드 D에 하이 신호가 인가되고, 노드 E에 하이 또는 로우 신호가 인가되면 로직 스위치 SW2는 턴온 상태가 되어 노드 ND1의 신호를 노드 ND2에 출력한다.

<43> 반면에, 노드 D에 로우 신호가 인가되고, 노드 E에 로우 또는 하이 신호가 인가되면 로직 스위치 SW2는 턴오프 상태가 되어 노드 ND1의 신호가 노드 ND2에 출력되지 않는다.

<44> 한편, 저항 기억소자 R1이 고저항 상태이고 저항 기억소자 R2가 저저항 상태일 경우, 입력 노드 D, E를 통해 입력되는 입력신호의 상태에 따라 로직 스위치 SW2의 상태가 결정된다.

<45> [표 2]은 저항 기억소자 R1에 하이 데이터가 저장되고, 저항 기억소자 R2에 로우 데이터가 저장되어 있을 경우 입력신호에 따른 로직 스위치 SW2의 동작 상태를 나타낸다

<46> [표 2]

<47>	D	E	R1	R2	SW2
	L	L	H	L	OFF
	H	L	H	L	OFF
	L	H	H	L	ON
	H	H	H	L	ON

<48> 즉, 노드 D에 하이 또는 로우 신호가 인가되고, 노드 E에 하이 신호가 인가되면 로직 스위치 SW2는 턴온 상태가 되어 노드 ND1의 신호를 노드 ND2에 출력한다.

<49> 반면에, 노드 D에 하이 또는 로우 신호가 인가되고, 노드 E에 로우 신호가 인가되면 로직 스위치 SW2는 턴오프 상태가 되어 노드 ND1의 신호가 노드 ND2에 출력되지 않는다.

<50> 도 5는 불휘발성 로직 레지스터로 사용되는 본 발명의 불휘발성 메모리 장치의 다른 실시예이다.

<51> 본 발명은 플립플롭부(30)와, 저항 기억 소자 R3,R4와, 엑세스 조정부와, 전류 공급부를 구비한다.

<52> 여기서, 플립플롭부(30)는 NMOS트랜지스터 N6,N7을 포함하는 NMOS래치와, PMOS트랜지스터 P4,P5를 포함하는 PMOS래치를 구비하여 서로 반대 데이터를 저장한다.

<53> 저항 기억소자 R3은 PMOS트랜지스터 P4 및 NMOS트랜지스터 N6의 공통 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다. 그리고, 저항 기억소자 R4는 PMOS트랜지스터 P5 및 NMOS트랜지스터 N7의 공통 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다.

<54> 엑세스 조정부는 워드라인 WL의 인에이블 상태에 따라 비트라인 BIT,/BIT과의 연결을 제어하는 NMOS트랜지스터 N8,N9을 구비한다. 여기서, NMOS트랜지스터 N8는 게이트가

워드라인 WL과 연결되고, 비트라인 BIT과 NMOS트랜지스터 N6의 드레인 단자 사이에 연결된다. 그리고, NMOS트랜지스터 N9는 게이트가 워드라인 WL과 연결되고, 비트라인BIT와 NMOS트랜지스터 N7의 드레인 단자 사이에 연결된다.

<55> 전류 공급부는 라이트 동작시에 저항 기억 소자 R3,R4에 저장된 데이터를 변경하기 위한 PMOS트랜지스터 P6,P7을 구비한다. PMOS트랜지스터 P6는 PMOS트랜지스터 P4과 병렬 연결되어 게이트를 통해 라이트/리드 제어신호 WRC가 인가된다. 그리고, PMOS트랜지스터 P7은 PMOS트랜지스터 P5와 병렬 연결되어 게이트를 통해 라이트/리드 제어신호 WRC가 인가된다.

<56> 여기서, PMOS래치 P4,P5 및 NMOS래치 N6,N7의 게이트에 입력되는 신호들은 저항 기억소자 R3,R4의 정(Positive) 피드백 형태로 연결된다.

<57> 이러한 구성을 갖는 본 발명의 불휘발성 메모리 장치는, 라이트/리드 제어신호 WRC 가 로우일 경우, 비트라인 BIT,/BIT 노드에 일정 전압을 인가한다. 그러면, 비트라인 BIT,/BIT 전압에 의해 저항 기억소자 R3,R4에 흐르는 전류의 차이가 발생한다. 따라서, 저항 기억소자 R3, R4에 가해지는 발열량도 달라지게 된다.

<58> 이때, 저항 기억소자 R3,R4에 녹는 점(Melting point) 온도 이상의 발열량과 녹는 점 온도 이하의 발열량이 발생되도록 비트라인 BIT,/BIT 전압을 결정한다.

<59> 도 6은 본 발명에 따른 불휘발성 메모리 장치의 또 다른 실시예를 나타낸다.

<60> 도 6의 불휘발성 메모리 장치는 PMOS래치 P4,P5 및 NMOS래치 N6,N7의 게이트에 입력되는 신호들이 저항 기억소자 R3,R4의 부(Negative) 피드백 형태로 연결되는 것이 도 5의 구성과 상이하다.

<61> 도 7은 본 발명에 따른 불휘발성 메모리 장치의 또 다른 실시예를 나타낸다.

<62> 도 7의 불휘발성 메모리 장치는 플립플롭부(30)와, 저항 기억 소자 R3,R4와, 엑세스 조정부와, 구동소자를 구비한다.

<63> 여기서, 플립플롭부(30)는 NMOS트랜지스터 N6,N7을 포함하는 NMOS래치를 구비한다. NMOS 트랜지스터 N6,N7의 게이트에 입력되는 신호들은 저항 기억소자 R3,R4의 정(Positive) 피드백 형태로 연결된다.

<64> 저항 기억소자 R3은 NMOS트랜지스터 N10 및 NMOS트랜지스터 N6의 공통 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다. 그리고, 저항 기억소자 R4는 NMOS트랜지스터 N10 및 NMOS트랜지스터 N7의 공통 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다.

<65> 엑세스 조정부는 워드라인 WL의 인에이블 상태에 따라 비트라인 BL과의 연결을 제어하는 NMOS트랜지스터 N8,N9를 구비한다. 여기서, NMOS트랜지스터 N8는 게이트가 워드라인 WL과 연결되고, 비트라인 BIT과 NMOS트랜지스터 N6의 드레인 단자 사이에 연결된다. 그리고, NMOS트랜지스터 N9는 게이트가 워드라인 WL과 연결되고, 비트라인BIT와 NMOS트랜지스터 N7의 드레인 단자 사이에 연결된다.

<66> 구동소자는 전원전압 VCC 인가단과 저항 기억소자 R3,R4의 사이에 연결되어 게이트를 통해 라이트/리드 제어신호 WRC가 인가되는 NMOS트랜지스터 N10를 구비한다.

<67> 도 8은 본 발명에 따른 불휘발성 메모리 장치의 또 다른 실시예를 나타낸다.

<68> 도 8의 불휘발성 메모리 장치는 NMOS래치 N6,N7의 게이트에 입력되는 신호들이 저항 기억소자 R3,R4의 부(Negative) 피드백 형태로 연결된다. 그리고, 구동소자인 NMOS 트랜지스터 N10을 구비하지 않는 것이 도 7의 구성과 상이하다.

<69> 도 9은 본 발명에 따른 불휘발성 메모리 장치의 또 다른 실시예를 나타낸다.

<70> 본 발명은 플립플롭부(30)와, 저항 기억 소자 R3,R4와, 엑세스 조정부를 구비한다.

<71> 여기서, 플립플롭부(30)는 NMOS트랜지스터 N6,N7을 포함하는 NMOS래치를 구비한다. NMOS래치 N6,N7의 게이트에 입력되는 신호들은 저항 기억소자 R3,R4의 정(Positive) 피드백 형태로 연결된다.

<72> 저항 기억소자 R3은 NMOS트랜지스터 P8의 일단과 NMOS트랜지스터 N6의 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다. 그리고, 저항 기억소자 R4는 NMOS트랜지스터 N9의 일단과 NMOS트랜지스터 N7의 드레인 단자 사이에 연결되어 불휘발성 데이터를 저장한다.

<73> 엑세스 조정부는 워드라인 WL의 인에이블 상태에 따라 비트라인 BL과의 연결을 제어하는 NMOS트랜지스터 N8,N9를 구비한다. 여기서, NMOS트랜지스터 N8은 게이트가 워드라인 WL과 연결되고, 비트라인 BIT과 저항 기억소자 R3의 일단 사이에 연결된다. 그리고, NMOS트랜지스터 N9는 게이트가 워드라인 WL과 연결되고, 비트라인바 /BIT와 저항 기억소자 R4의 일단 사이에 연결된다.

<74> 이상에서와 같은 본 발명에서는 저항 기억 소자로써 PCM소자를 그 실시예로 설명하였지만, 저항 소자로써 자기 저항 소자인 MTJ(Magnetic Tunnelin Junction), GMR(Giant Magnetic Resistive) 등이 사용될수도 있다.

<75> 또한, 본 발명은 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array : FPGA) 등의 비휘발성 프로그래머블 게이트 기억 소자로써 활용될 수도 있다.

【발명의 효과】

<76> 이상에서 설명한 바와 같이, 본 발명은 저항 기억 소자를 이용하여 불휘발성 메모리 소자를 구현할 수 있게 된다. 또한, 프로그래머블 레지스터를 이용하여 소프트웨어적으로 리던던시 및 레퍼런스를 조정함으로써 칩이 신뢰성을 향상시킬 수 있도록 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

라이트 동작시 인에이블되는 라이트/리드 제어신호의 출력을 선택적으로 제어하는 라이트/리드 제어부;
상기 라이트/리드 제어신호의 인에이블시 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자; 및
상기 라이트/리드 제어신호의 디스에이블시 상기 불휘발성 저항 기억 소자에 기저
장된 상기 서로 다른 로직값에 따라 스위칭 상태가 결정되는 로직 스위치를 구비함을 특
징으로 하는 불휘발성 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 라이트/리드 제어부는
제 1라이트 제어신호의 상태에 따라 스위칭 제어되는 제 1NMOS트랜지스터; 및
상기 제 1라이트 제어신호와 병렬 연결되어 상기 제 1라이트 제어신호와 위상이 서로
반대인 제 2라이트 제어신호의 상태에 따라 스위칭 제어되는 제 1PMOS트랜지스터를
구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 3】

제 1항에 있어서, 상기 불휘발성 저항 기억 소자는
제 1입력노드와 상기 라이트/리드 제어부의 출력노드 사이에 연결된 제 1저항 기
억 소자; 및

제 2입력노드와 상기 라이트/리드 제어부의 출력노드 사이에 연결된 제 2저항 기억 소자를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 4】

제 3항에 있어서, 불휘발성 저항 기억 소자는
상기 제 1저항 기억소자가 저저항 상태이고, 제 2저항 기억 소자가 고저항 상태일 경우, 상기 제 1저항 기억소자에 입력되는 제 1입력신호의 상태에 따라 상기 로직 스위치의 스위칭 상태가 결정됨을 특징으로 하는 불휘발성 메모리 장치.

【청구항 5】

제 3항에 있어서, 불휘발성 저항 기억 소자는
상기 제 1저항 기억소자가 고저항 상태이고, 제 2저항 기억 소자가 저저항 상태일 경우, 상기 제 2저항 기억소자에 입력되는 제 2입력신호의 상태에 따라 상기 로직 스위치의 스위칭 상태가 결정됨을 특징으로 하는 불휘발성 메모리 장치.

【청구항 6】

제 3항에 있어서, 상기 제 1저항 기억소자는
상기 제 1입력노드와 연결된 제 1전극;
상기 라이트/리드 제어부의 출력노드와 연결된 제 2전극; 및
상기 제 1전극과 제 2전극 사이에 형성된 제 1위상 변화총을 구비함을 특징으로 하 는 불휘발성 메모리 장치.

【청구항 7】

제 3항에 있어서, 상기 제 2저항 기억소자는

상기 제 2입력노드와 연결된 제 3전극;

상기 라이트/리드 제어부의 출력노드와 연결된 제 4전극; 및

상기 제 3전극과 제 4전극 사이에 형성된 제 2위상 변화층을 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 8】

제 1항에 있어서, 상기 불휘발성 저항 기억 소자는

위상 변화 메모리(PCM) 소자, 자기저항 소자 및 메탈 메모리 소자 중 적어도 어느 하나를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 9】

피모스 래치와 엔모스 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부;

상기 피모스 래치와 상기 엔모스 래치 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자; 및 워드라인의 인에이블 상태에 따라 비트라인과 상기 플립플롭부와의 연결을 제어하는 엑세스 조정부; 및

상기 라이트/리드 제어신호의 인에이블시 상기 저항 기억 소자에 저장된 데이터를 변경시키기 위한 전류를 제공하는 전류 공급부를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 10】

제 9항에 있어서, 상기 피모스 래치는

전원전압단과 상기 불휘발성 저항 기억소자 사이에 각각 연결된 래치 구조의 제 1PMOS트랜지스터 및 제 2PMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 11】

제 9항에 있어서, 상기 엔모스 래치는
상기 저항 기억소자와 상기 접지전압단 사이에 각각 연결된 래치 구조의 제 1NMOS 트랜지스터 및 제 2NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 12】

제 9항에 있어서,
상기 피모스 래치와 상기 엔모스 래치의 게이트 입력신호들은 상기 불휘발성 저항 기억 소자와 정(포지티브) 피드백 형태로 연결됨을 특징으로 하는 불휘발성 메모리 장치

【청구항 13】

제 9항에 있어서,
상기 피모스 래치와 상기 엔모스 래치의 게이트 입력신호들은 상기 불휘발성 저항 기억 소자와 부(네가티브) 피드백 형태로 연결됨을 특징으로 하는 불휘발성 메모리 장치

【청구항 14】

제 9항에 있어서, 상기 불휘발성 저항 기억 소자는

상기 라이트/리드 제어신호의 인에이블시 상기 비트라인에 인가되는 전압에 의해 발생되는 전류값의 차이에 따라 서로 다른 로직값을 저장하는 제 1저항 기억 소자 및 제 2저항 기억 소자를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 15】

제 14항에 있어서, 상기 제 1저항 기억소자 및 제 2저항 기억소자는 상기 피모스 래치와 연결된 제 1전극;
상기 엔모스 래치와 연결된 제 2전극; 및
상기 제 1전극과 제 2전극 사이에 형성된 위상 변화충을 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 16】

제 9항에 있어서, 상기 불휘발성 저항 기억 소자는 위상 변화 메모리(PCM) 소자, 자기저항 소자 및 메탈 메모리 소자 중 적어도 어느 하나를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 17】

제 9항에 있어서, 상기 엑세스 조정부는 상기 비트라인과 상기 엔모스 래치의 사이에 연결되어 게이트와 상기 워드라인이 연결되는 제 3NMOS트랜지스터; 및 비트라인바와 상기 엔모스 래치의 사이에 연결되어 게이트와 상기 워드라인이 연결되는 제 4NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 18】

제 9항에 있어서, 상기 전류 공급부는

상기 피모스 래치에 각각 병렬 연결되어 게이트를 통해 상기 라이트/리드 제어신호가 인가되는 제 3PMOS트랜지스터 및 제 4PMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 19】

엔모스 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부;

전원전압단과 상기 플립플롭부 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자; 및
위드라인의 인에이블 상태에 따라 비트라인과 상기 플립플롭부와의 연결을 제어하는 엑세스 조정부를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 20】

제 19항에 있어서, 상기 엔모스 래치는

상기 저항 기억소자와 상기 접지전압단 사이에 각각 연결된 래치 구조의 제 1NMOS 트랜지스터 및 제 2NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 21】

제 20항에 있어서,

상기 제 1NMOS트랜지스터 및 제 2NMOS트랜지스터의 게이트 입력신호들은 상기 불휘발성 저항 기억 소자와 부(네가티브) 피드백 형태로 연결됨을 특징으로 하는 불휘발성 메모리 장치.

【청구항 22】

제 19항에 있어서, 상기 불휘발성 저항 기억 소자는
상기 비트라인에 인가되는 전압에 의해 발생되는 전류값의 차이에 따라 서로 다른
로직값을 저장하는 제 1저항 기억 소자 및 제 2저항 기억 소자를 구비함을 특징으로 하
는 불휘발성 메모리 장치.

【청구항 23】

제 22항에 있어서, 상기 제 1저항 기억소자 및 제 2저항 기억소자는
상기 전원전압단과 연결된 제 1전극;
상기 엔모스 래치와 연결된 제 2전극; 및
상기 제 1전극과 제 2전극 사이에 형성된 위상 변화층을 구비함을 특징으로 하는
불휘발성 메모리 장치.

【청구항 24】

제 19항에 있어서, 상기 불휘발성 저항 기억 소자는
위상 변화 메모리(PCM) 소자, 자기저항 소자 및 메탈 메모리 소자 중 적어도 어느
하나를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 25】

제 19항에 있어서, 상기 엑세스 조정부는
상기 비트라인과 상기 엔모스 래치의 사이에 연결되어 게이트와 상기 워드라인이
연결되는 제 3NMOS트랜지스터; 및

비트라인바와 상기 엔모스 래치의 사이에 연결되어 게이트와 상기 워드라인이 연결되는 제 4NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 26】

제 19항에 있어서, 라이트/리드 제어신호의 인에이블시 상기 불휘발성 저항 기억 소자에 전원전압을 공급하는 구동소자를 더 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 27】

제 26항에 있어서, 상기 구동소자는
상기 전원전압단과 상기 불휘발성 저항 기억 소자 사이에 연결되어 게이트를 통해
상기 라이트/리드 제어신호가 인가되는 제 5NMOS트랜지스터를 구비함을 특징으로 하는
불휘발성 메모리 장치.

【청구항 28】

제 26항에 있어서,
상기 엔모스 래치의 게이트 입력신호들은 상기 불휘발성 저항 기억 소자와 정(포지티브) 피드백 형태로 연결됨을 특징으로 하는 불휘발성 메모리 장치.

【청구항 29】

엔모스 래치를 구비하여 서로 반대 데이터를 래치하는 플립플롭부;
워드라인의 인에이블 상태에 따라 비트라인과 상기 플립플롭부와의 연결을 제어하는 엑세스 조정부; 및

상기 플립플롭부와 상기 액세스 조정부 사이에 연결되어, 전류의 크기에 의해 변화되는 저항의 상태에 따라 서로 다른 로직값을 저장하는 불휘발성 저항 기억 소자를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 30】

제 29항에 있어서, 상기 엔모스 래치는
상기 저항 기억소자와 상기 접지전압단 사이에 각각 연결된 래치 구조의 제 1NMOS 트랜지스터 및 제 2NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 31】

제 30항에 있어서,
상기 제 1NMOS트랜지스터 및 제 2NMOS트랜지스터의 게이트 입력신호들은 상기 불휘발성 저항 기억 소자와 정(포지티브) 피드백 형태로 연결됨을 특징으로 하는 불휘발성 메모리 장치.

【청구항 32】

제 29항에 있어서, 상기 불휘발성 저항 기억 소자는
상기 비트라인에 인가되는 전압에 의해 발생되는 전류값의 차이에 따라 서로 다른 로직값을 저장하는 제 1저항 기억 소자 및 제 2저항 기억 소자를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 33】

제 32항에 있어서, 상기 제 1저항 기억소자 및 제 2저항 기억소자는
상기 액세스 조정부와 연결된 제 1전극;

상기 엔모스 래치와 연결된 제 2전극; 및
상기 제 1전극과 제 2전극 사이에 형성된 위상 변화층을 구비함을 특징으로 하는
불휘발성 메모리 장치.

【청구항 34】

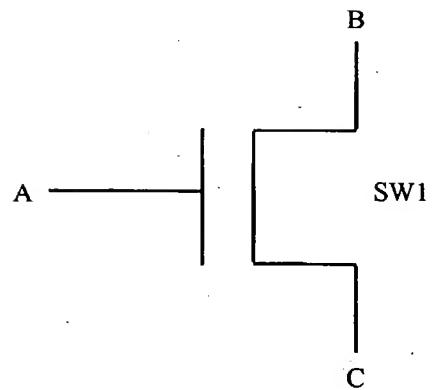
제 29항에 있어서, 상기 불휘발성 저항 기억 소자는
위상 변화 메모리(PCM) 소자, 자기저항 소자 및 메탈 메모리 소자 중 적어도 어느
하나를 구비함을 특징으로 하는 불휘발성 메모리 장치.

【청구항 35】

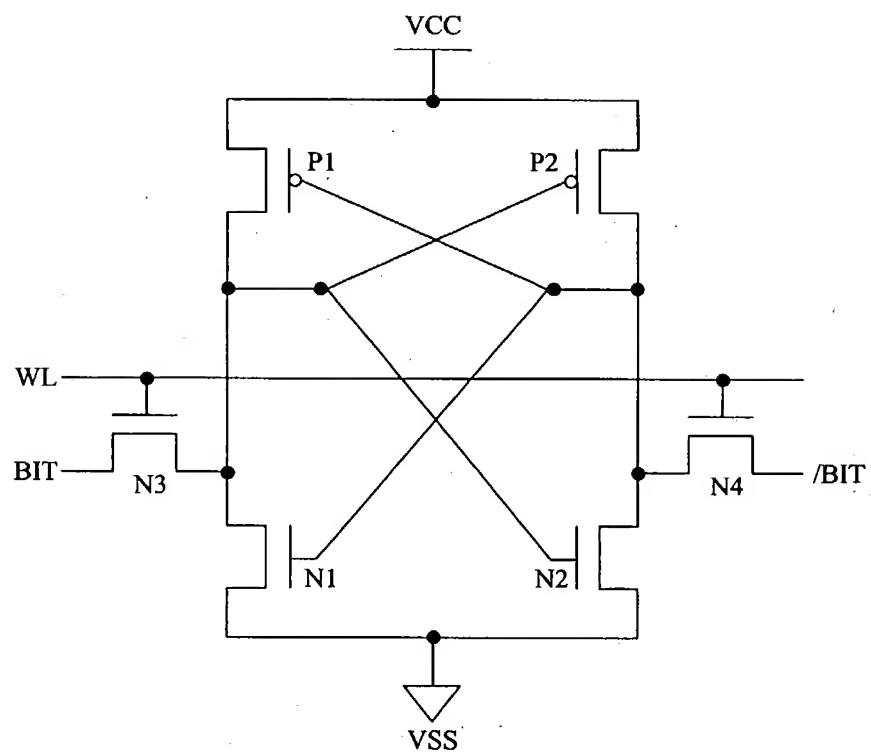
제 29항에 있어서, 상기 엑세스 조정부는
상기 비트라인과 상기 불휘발성 저항 기억 소자의 사이에 연결되어 게이트와 상기
워드라인이 연결되는 제 3NMOS트랜지스터; 및
비트라인바와 상기 불휘발성 저항 기억 소자의 사이에 연결되어 게이트와 상기 워
드라인이 연결되는 제 4NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 메모리
장치.

【도면】

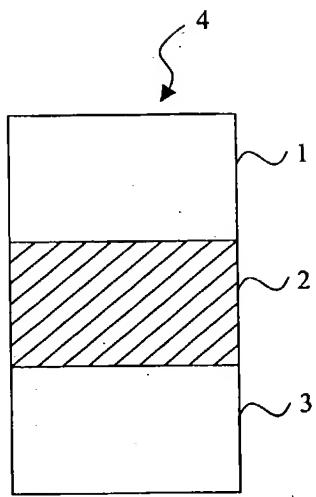
【도 1】



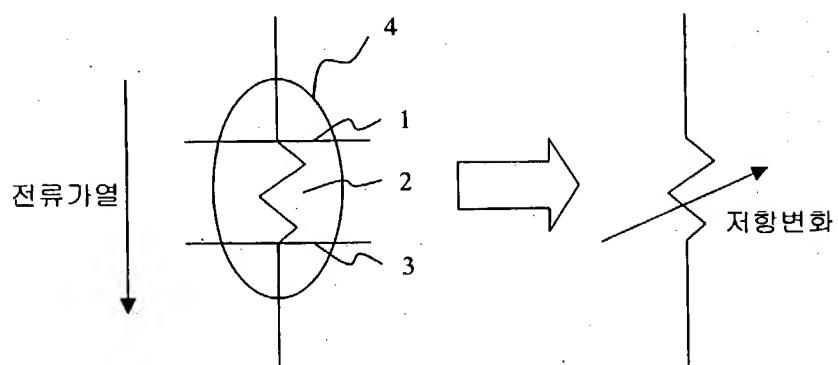
【도 2】



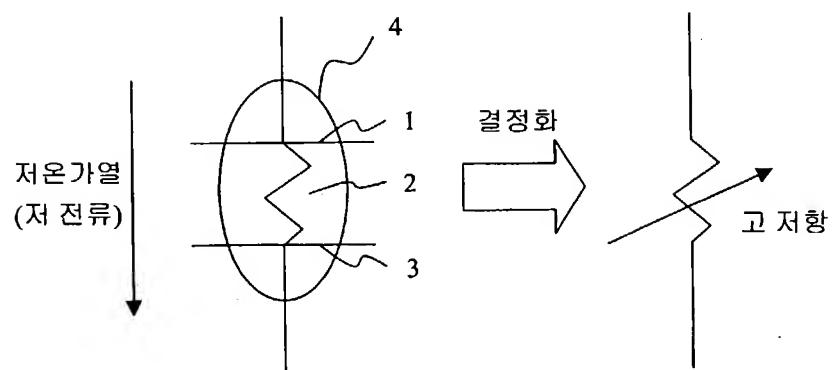
【도 3a】



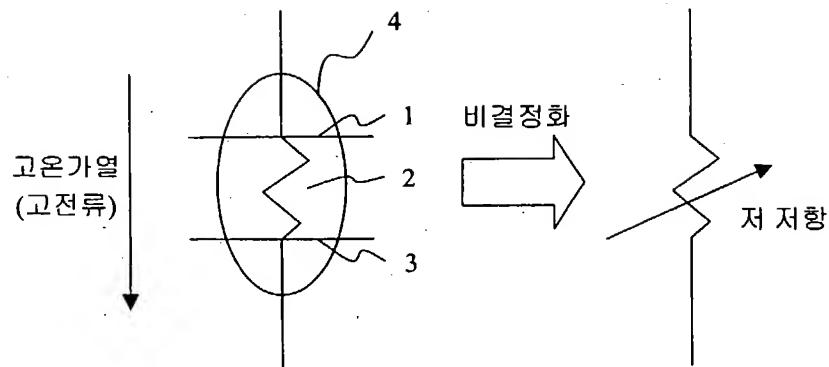
【도 3b】



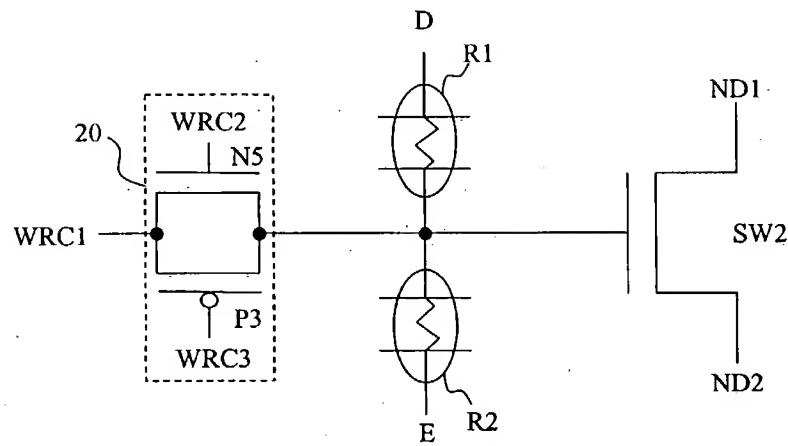
【도 3c】



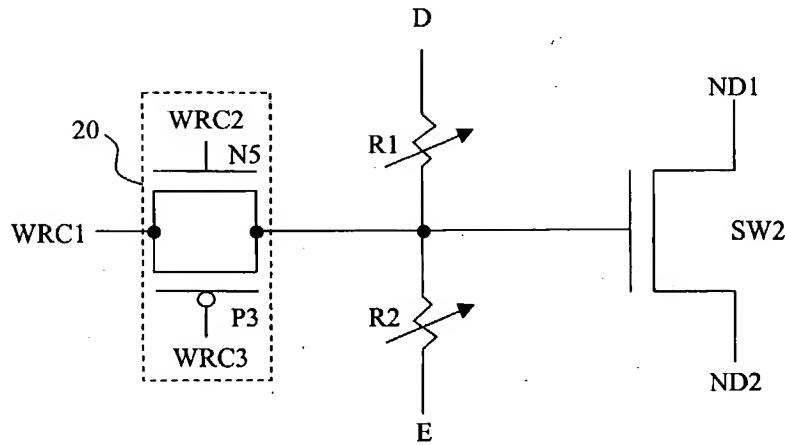
【도 3d】



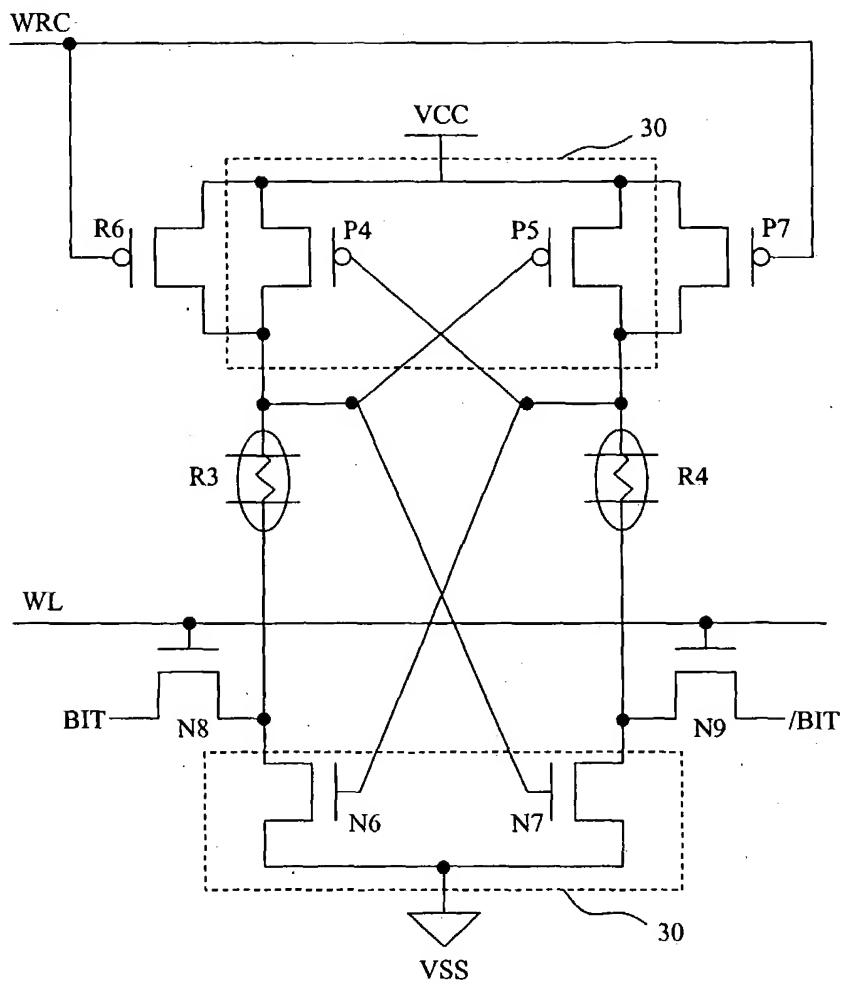
【도 4a】



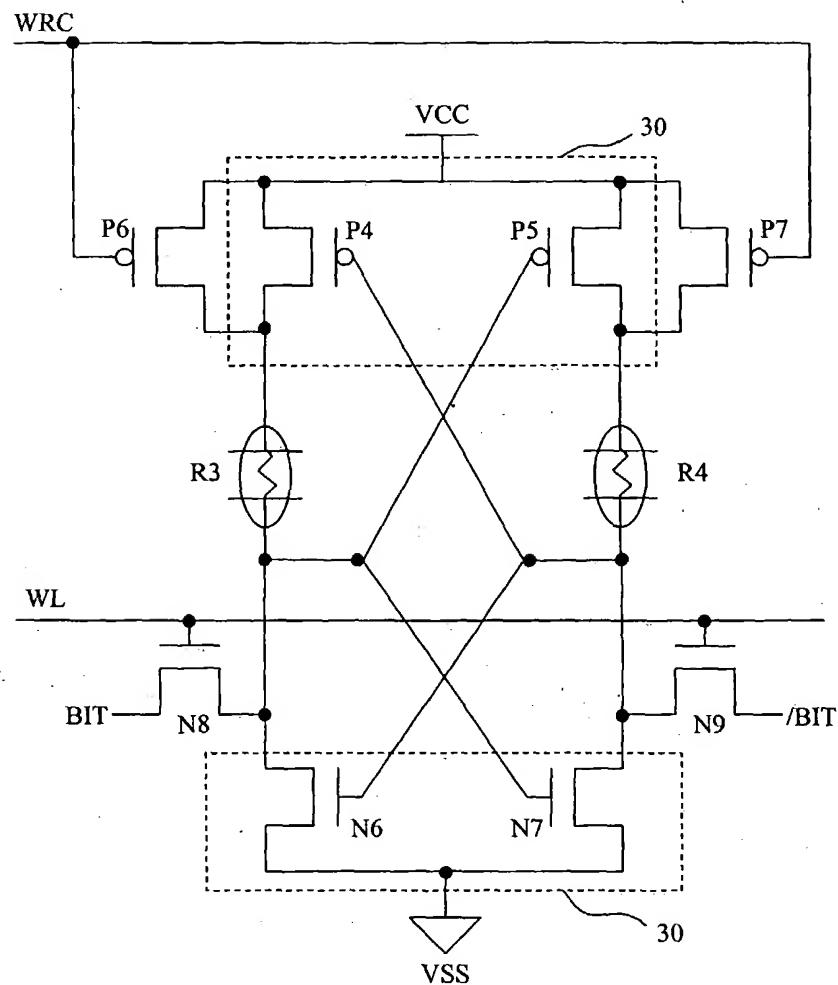
【도 4b】



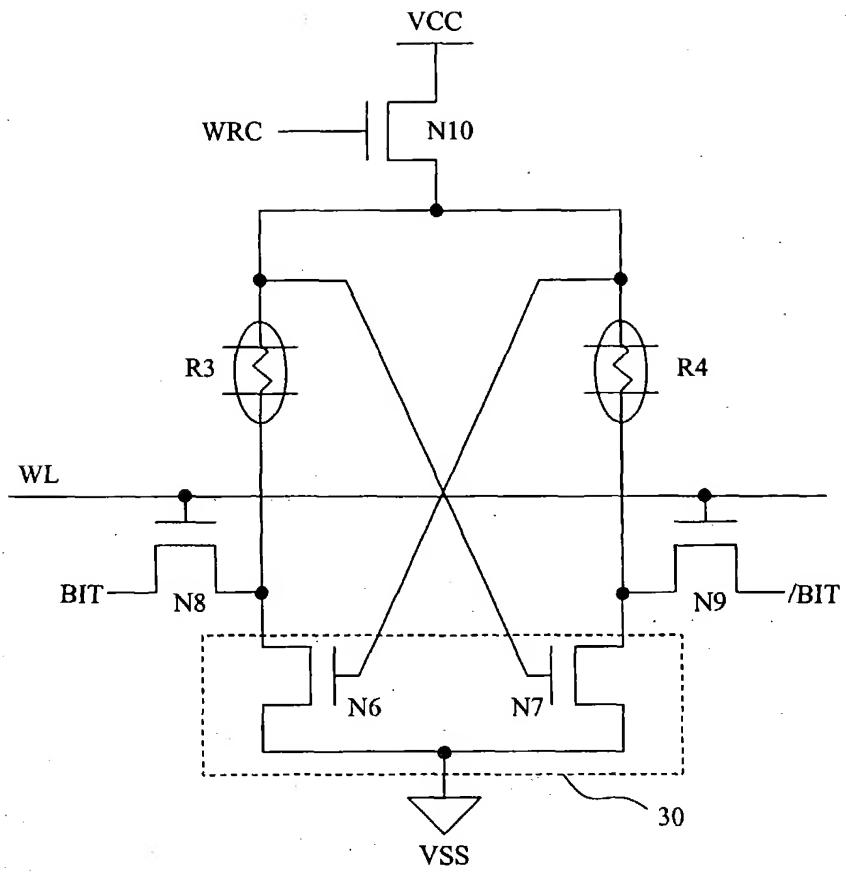
【도 5】



【도 6】



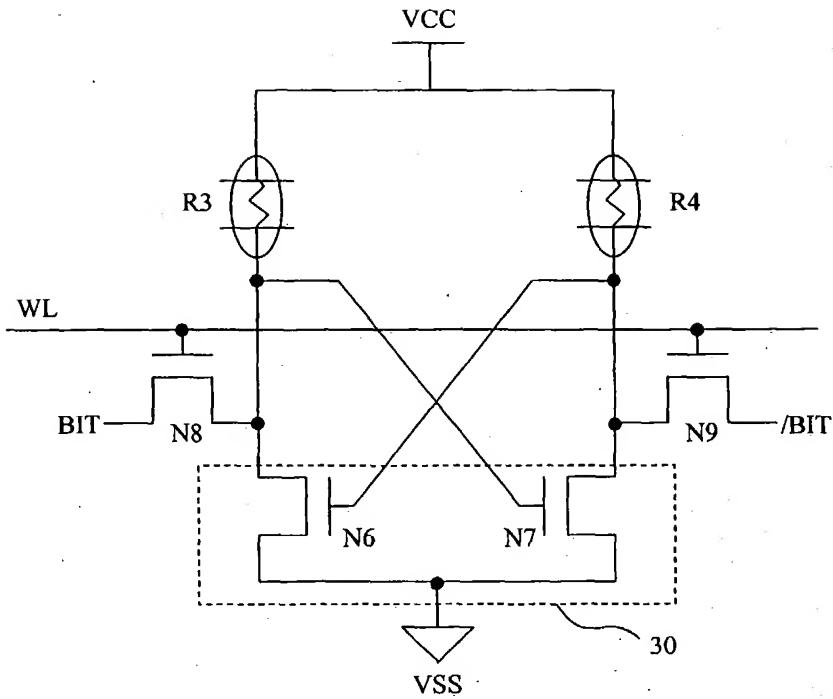
【도 7】



1020020086704

출력 일자: 2003/5/22

【도 8】



【도 9】

